= Oph 56 - DWO 02/05288 = US 6606261

# GRANSKNINGSMATERIALE



### (12) PATENT



(19) NO

(11) 312698

(51) Int Cl<sup>7</sup> G 11 C 11/22

#### Patentstyret

(21) Søknadsnr (22) Inng. dag

(24) Løpedag (41) Alm. tilgj. (45) Meddelt dato 20003507 2000.07.07 2000.07.07 2002.01.08 2002.06.17

(86) Int. inng. dag og søknadsnummer Videreføringsdag (30) Prioritet

Ingen

(71) Patenthaver (72) Oppfinner

Thin Film Electronics ASA, Postboks 1872 Vika, 0124 Oslo, NO Per-Erik Nordal, 1387 Asker, NO Per Bröms, Linköping, SE

Mats Johansson, Linköping, SE Hans Gude Gudesen, B-1000 Brussel, BE

(74) Fullmektig

Geirr I Leistad - Thin Film Electronics ASA, 0124 Oslo

(54) Benevnelse

Fremgangsmåte til å utføre skrive- og leseoperasjoner i en passiv matriseminne og apparat for å utføre fremgangsmåten

(56) Anførte publikasjoner

US 5615145, EP A2 671745, JP A 9282893, JP A 9245485, JP A 5129622,

US 5909389, US 5889696, JP A 10112190

#### (57) Sammendrag

I en fremgangsmåte til å utføre lese- og skriveoperasjoner i en passiv matriseadressert minnegruppe av minneceller som omfatter elektrisk polariserbart materiale som viser polarisasjonsremanens, spesielt et elektret- eller ferroelektrisk materiale, hvor en logisk verdi lagret i en minnecelle er representert av en forekommende polarisasjonstilstand i minnecellen, begrenses størrelsen av polarisasjonsforandring i det polariserbare materiale under hver lese- og skrivesyklus til en verdi definert av en kontrollkretsinnretning som styrer lese- og skriveoperasjonene, idet verdien varierer fra 0 til en øvre grense svarende til metningen av polarisasjonen og er konsistent med forhåndsbestemte kriterier for en pålitelig deteksjon av en logisk tilstand for en minnecelle.

Et apparat for à utføre lese- og skriveoperasjoner i en passiv matriseadressert minnegruppe innbefattet i apparatet og som omfatter minneceller som rommer et elektrisk polariserbart materiale som viser polarisasjonsremanens, spesielt et ferroelektrisk materiale, omfatter en kontrollkretsinnretning som styrer lese- og

skriveoperasjonene samt en krets som justerer en påtrykking av spenning for adressering av minnecellene for å begrense størrelsen av polarisasjonsforandring i det polariserbare materiale under enhver lese- og skrivesyklus til en verdi definert av kontrollkretsinnretningen.

## Method for performing write and read operations in a passive matrix memory, and apparatus for performing the method

Patent number:

NO20003507

Publication date:

2002-01-08

Inventor:

GUDESEN HANS GUDE (BE); NORDAL PER-ERIK

(NO); BROEMS PER (SE); JOHANSSON MATS (SE)

Applicant:

THIN FILM ELECTRONICS ASA (NO)

Classification:

- international:

G11C11/22

- european:

Application number: NO2000003507 20000707 Priority number(s): NO2000003507 20000707

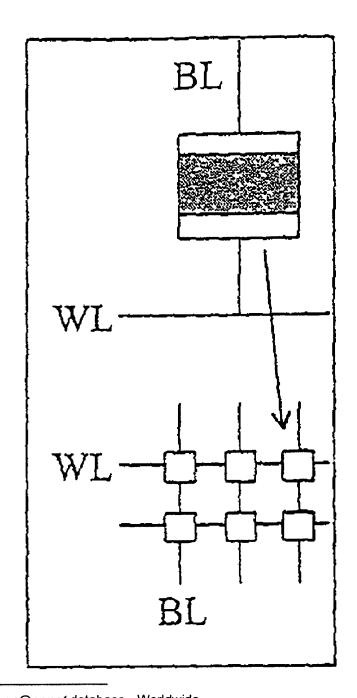
Abstract not available for NO20003507 Abstract of correspondent: **US2002027794** 

In a method for performing read and write operations in a passive matrix-addressed memory array of memory cells comprising an electrically polarizable material exhibiting polarization remanence, in particular an electret or ferroelectric material, wherein a logical value stored in a memory cell is represented by an actual polarization state in the memory cell, a degree of polarization in the polarizable material is limited during each read and write cycle to a value defined by a circuit device controlling the read and write operations, with said value ranging from zero to an upper limit corresponding to saturation of the polarization and consistent with predetermined criterta for a reliable detection of a logic state of a memory cell. An apparatus for performing write and read operations in a passive matrix-addressed memory array encompassed by the apparatus and comprising memory cells containing an electrically polarizable material exhibiting polarization remanence, in particularly a ferroelectric material, comprises circuitry which adjusts an application of voltages for addressing the memory cells in order to limit a degree of polarization change in the polarizable material during each read and write cycle to value defined by a circuit controlling said read and write operation

Also published as:



WO0205288 (A1) US6606261 (B2) US2002027794 (A1)



Data supplied from the **esp@cenet** database - Worldwide